

PAT-NO: JP405275301A
DOCUMENT-IDENTIFIER: JP 05275301 A
TITLE: MANUFACTURE OF SUBSTRATE FOR SEMICONDUCTOR
DEVICE
PUBN-DATE: October 22, 1993

INVENTOR-INFORMATION:
NAME
SUKEGAWA, KAZUO

ASSIGNEE-INFORMATION:
NAME COUNTRY
FUJITSU LTD N/A

APPL-NO: JP04066545
APPL-DATE: March 25, 1992

INT-CL (IPC): H01L021/02, H01L027/12

ABSTRACT:

PURPOSE: To enhance flatness over the entire surface of a substrate having complex warp by forming a film for suppressing the warp depending on the distribution of convex warp and concave warp prior to heat treatment of the substrate.

CONSTITUTION: An SiO₂ film 5, a poly-Si layer 6, and a protective layer 7 of SiO₂ are deposited sequentially on the surface of a silicon wafer 1 through well known CVD method. On the other hand, an SiO₂ film 8 and an Si₃N₄ film 9 are deposited, respectively, in a first region A which becomes convex and a second region which becomes concave through heat treatment on the rear of the wafer 1. The SiO₂

film 8

and the Si₃N₄ film 9 are generally shown as an anti-warp film

4. A rod heater 11 is then moved along the surface of the wafer 1 in order to

heat the poly-Si layer 6 at its melting point of 1400°C thus recrystallizing the poly-Si. Subsequently, the wafer 1 is cooled down to room

temperature and the protective film 7 is removed through etching. SiO₂ film 8 on the rear of the wafer 1 is also removed through the etching.

COPYRIGHT: (C)1993, JPO&Japio

(19)日本国特許庁(JP)

(12) 公開特許公報(A)

(11)特許出願公開番号

特開平5-275301

(43)公開日 平成5年(1993)10月22日

(51)Int.Cl. ⁵	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 L 21/02	Z			
27/12	Z			

審査請求 未請求 請求項の数3(全 4 頁)

(21)出願番号	特願平4-66545	(71)出願人	000005223 富士通株式会社 神奈川県川崎市中原区上小田中1015番地
(22)出願日	平成4年(1992)3月25日	(72)発明者	助川 和雄 神奈川県川崎市中原区上小田中1015番地 富士通株式会社内
		(74)代理人	弁理士 井桁 貞一

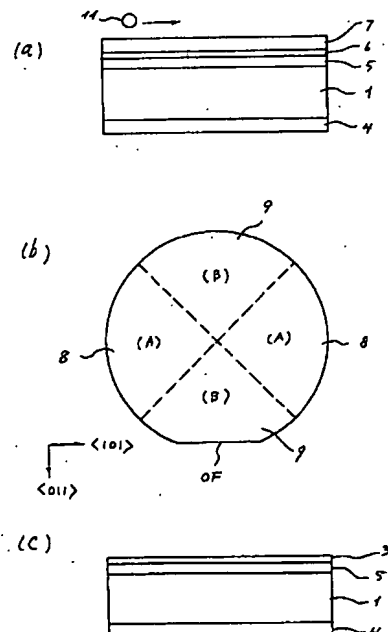
(54)【発明の名称】 半導体装置用基板の製造方法

(57)【要約】

【目的】 半導体装置用の基板に関し、熱処理によって基板に混在して発生する凸状および凹状の反りを防止することを目的とする。

【構成】 表面側が凸状になる反りを生じる領域および凹状になる反りを生じる領域に対してそれぞれ基板より低熱膨張率の膜および高熱膨張率の膜を形成した状態で熱処理を施す。

本発明の実施例説明図



【特許請求の範囲】

【請求項1】 熱処理によって凸状の反りが生じる第1の領域と凹状の反りが生じる第2の領域とが混在する表面を有する半導体基板の裏面における該第1の領域に対応する領域には該半導体基板に比べて低熱膨張率の第1の絶縁層を形成し且つ該第2の領域に対応する領域には該半導体基板に比べて高熱膨張率の第2の絶縁層を形成したのちに該熱処理を施す工程を含むことを特徴とする半導体装置用基板の製造方法。

【請求項2】 前記半導体基板はシリコンウエハであって少なくとも前記熱処理工程の前に前記表面に酸化シリコン層を介してシリコン層を形成する工程をさらに含むことを特徴とする請求項1記載の半導体装置用基板の製造方法。

【請求項3】 前記半導体基板はシリコンウエハであって前記第1および第2の絶縁層を形成したのちに前記表面にIII-V族化合物半導体層をエピタキシャル成長させる工程をさらに含むことを特徴とする請求項1記載の半導体装置用基板の製造方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、表面ないしは表面近傍に熱膨張率の異なる絶縁層が形成されている半導体基板の熱処理による反りの発生を防止する方法に関する。

【0002】

【従来の技術】半導体装置を構成する絶縁層として酸化シリコン(SiO₂)膜が用いられているが、SiO₂はシリコン結晶に比べて熱膨張率が小さい。したがって、高温で一表面にSiO₂膜が形成されたシリコンウエハを冷却すると、表面側が凸状となるように反りが生じる。このような反りは、リソグラフ工程において露光されるパターン精度の低下の原因となったり、あるいは、その他の処理工程において、真空吸着法によるウエハの移動や固定を不確実にし、歩留まりの低下を招く原因となる。

【0003】上記のような半導体基板の反りを抑制するために、基板の裏面にSiO₂膜その他の低熱膨張率の膜をあらかじめ形成した状態で、絶縁層の形成その他の高温処理をとまなう工程に供する方法が種々提案されている(例えば特開昭61-069135 参照)。

【0004】

【発明が解決しようとする課題】上記のような反りに対する従来の対策は、基板表面全体が凸状または凹状になる反りを対象にしたものである。しかし、いわゆるSOI(silicon on insulator)構造の基板では、表面の一部に凸状の反りと凹状の反りとが混在して生じる場合がある。例えば、いわゆるZMR(zone melting recrystallization)法によって作製されたSOI ウエハ1には、図2(a)に示すように、凸状の反りが生じた領域(A)と凹状の反りが生じた領域(B)のそれぞれが、ウエハ1の中心に関して対称に分布している。ウエハ1の中心を通るく

011 >方向および<101 >方向の断面を、それぞれ、図2(b)および(c)に示す。

【0005】このような反りの大きさは、例えば直径4インチのウエハ1において、凸側および凹側共に30μm程度であり、ウエハ1を平坦面上に置いたときの最低点と最高点の高さの差で表した反り量は約60μmとなる。ちなみに、直径4インチの通常のシリコンウエハの反りは、高々10μm程度である。図2に示すような反りを生じるウエハ1に対しては、従来の方法のように、ウエハ裏面の全体にSiO₂膜等を形成しても、ウエハ全面の反りを抑制することはできず、反り防止膜の材料によっては、反りを増大させてしまう結果となる。

【0006】本発明は、上記のような凸状の反りと凹状の反りの分布に応じて、反りを抑制するための膜を形成することによって、複雑な反りを有する基板全面にわたる平坦性を向上することを目的とする。

【0007】

【課題を解決するための手段】上記目的は、熱処理によって凸状の反りが生じる第1の領域と凹状の反りが生じる第2の領域とが混在する表面を有する半導体基板の裏面における該第1の領域に対応する領域には該半導体基板に比べて低熱膨張率の第1の絶縁層を形成し且つ該第2の領域に対応する領域には該半導体基板に比べて高熱膨張率の第2の絶縁層を形成したのちに該熱処理を施す工程を含むことを特徴とする本発明に係る半導体装置の製造方法によって達成される。

【0008】

【作用】例えばシリコンウエハを熱処理した場合に、表面側が凸状になる反りが生じた領域の表面には引っ張り応力が発生しており、一方、表面側が凹状になる反りが生じた領域の表面には圧縮応力が発生している。したがって、それぞれの領域の裏面に、これら応力に見合う圧縮応力および引っ張り応力を生じる膜を形成してやればよい。すなわち、凸状の反りが生じる領域の裏面にはシリコンよりも熱膨張率の小さいSiO₂膜を、凹状の反りが生じる領域の裏面にはシリコンよりも熱膨張率の大きいSi₃N₄膜をそれぞれ形成することによって、それぞれの領域の表裏面の応力が均衡するので、平坦化される。

【0009】

【実施例】図1は、前記ZMR法によるSOI構造の基板の作製に対して本発明を適用した場合の実施例の工程説明図であって、同図(a)に示すように、例えば(100)面を表出する直径4インチのシリコンウエハ1の表面に、周知のCVD(化学気相成長)法によって、厚さ約0.4 μmのSiO₂膜5、厚さ0.2 μmの多結晶シリコン層6およびSiO₂から成る厚さ約1.0 μmの保護膜7を順次堆積する。なお、保護膜7は、後述するように、ヒータ11によって多結晶シリコン層6を再結晶化する際に、例えばグラフアイトから成るヒータ11による汚染を防止し、かつ、再結晶化したシリコン層の表面を滑らかにする鋳型として

設けられる。

【0010】一方、ウエハ1の裏面には、同図(b)に示すように、熱処理によって表面側が凸状になる反りが生じる第1の領域(A)および凹状になる反りが生じる第2の領域(B)に対応して、厚さ0.2 μm の SiO_2 膜8および厚さ0.1 μm の Si_3N_4 膜9をそれぞれ堆積する。なお、ウエハ1の断面を示す同図(a)および(c)には、 SiO_2 膜8と Si_3N_4 膜9とを総称して反り防止膜4として示してある。第1の領域(A)および第2の領域(B)は、通常、 $\langle 011 \rangle$ 方向に垂直に設けられたオリエンテーションフ

ラット(OF)に対して45度の角度で交差する二つの中心線で区画される領域に分布している。
【0011】次いで、再び同図(a)を参照して、例えば棒状のヒータ11をウエハ1の表面に沿って移動し、多結晶シリコン層6をその融点1400℃程度に加熱し、再結晶化させる。そののち、ウエハ1を室温まで冷却し、例えば弗酸溶液によるエッチングを行って、同図(c)に示すように、保護膜7を除去する。このエッチングにおいて、ウエハ1裏面の SiO_2 膜8も除去される。同図(c)における符号3は、前記多結晶シリコン層6が再結晶化した単結晶シリコン層を示す。

【0012】上記のように SiO_2 膜8および Si_3N_4 膜9から成る反り防止膜4が設けられた状態で再結晶化熱処理が行われたウエハ1における反りは25 μm 程度であり、従来の60 μm に比べて大幅な改善が認められた。

【0013】本発明は、一旦反りが発生したウエハを平坦化する場合にも適用できる。すなわち、従来の方法で

作製され、凸状および凹状の反りが混在するシリコンウエハの裏面に、例えば上記と同様にして SiO_2 膜8および Si_3N_4 膜9から成る反り防止膜を形成したのち、このウエハを900℃程度でアニールすることにより、初めの反りが減少する。また、反り防止膜は SiO_2 膜と Si_3N_4 膜の組み合わせに限定されず、ウエハ等の基板材料の熱膨張率との関係で任意に選択できることは言うまでもない。また、熱膨張率の異なる膜を積層して成る所望の平均熱膨張率を有する複合膜を用いてもよいことも明らかである。

【0014】

【発明の効果】本発明によれば、半導体基板に混在して発生する凸状の反りと凹状の反りを低減可能となり、とくに、SOI構造の半導体基板の平坦性を向上する効果がある。その結果として、SOI基板を用いて成る高性能・高密度半導体集積回路の開発促進ならびに製造歩留まり向上に対して寄与するところが大きい。

【図面の簡単な説明】

【図1】 本発明の実施例説明図

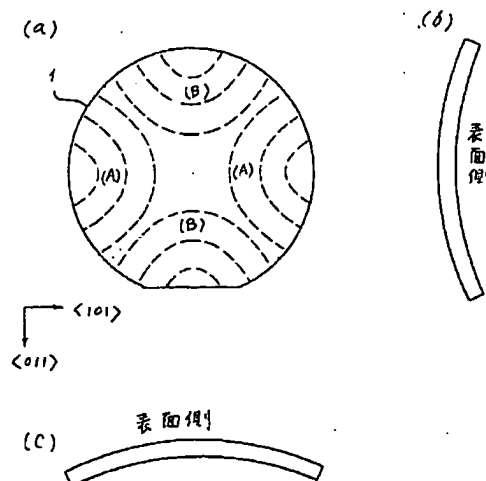
【図2】 従来の問題点説明図

【符号の説明】

- | | |
|------------|-----------------------------|
| 1 ウエハ | 7 保護膜 |
| 3 単結晶シリコン層 | 8 SiO_2 膜 |
| 4 反り防止膜 | 9 Si_3N_4 膜 |
| 5 埋め込み絶縁層 | 11 棒状ヒータ |
| 6 多結晶シリコン層 | |

【図2】

従来の問題点説明図



【図1】

本発明の実施例説明図

